

Ai sensi degli art. 46 e 47 del D.P.R n. 445/2000 e successive modificazioni, consapevole della responsabilità penale in cui può incorrere in caso di falsità in atti e dichiarazioni mendaci (art 76 D.P.R n. 445 del 2000), il sottoscritto Barbanera Mattia, dichiara che tutte le informazioni contenute nel seguente Curriculum Vitae corrispondono a verità.

Mattia Barbanera

mattia.barbanera@infn.it

TITOLI DI STUDIO

Nov 2022	PhD in Ingegneria dell'Informazione, XXXIV ciclo
Set 2018	Università di Pisa – Dipartimento di Ingegneria dell'Informazione – Italia
Titolo Tesi	Design, development, and test of data acquisition systems for physics in space
Relatori	Prof. Roberto Saletti (Dipartimento di Ingegneria dell'Informazione), Prof. Luca Baldini (Dipartimento di Fisica)
Feb 2015	Laurea Magistrale in Ingegneria Elettronica e delle Telecomunicazioni
Set 2012	Università di Perugia – Italia – Voto 110/110 e lode
Titolo tesi	Design and FPGA implementation of the test equipment for a digital communication system of the NA62 high-energy physics experimental platform at the CERN SPS
Relatori	Prof. Gianluca Reali (Dipartimento di Ingegneria), Dott. Bruno Checcucci (INFN Perugia)
Mag 2012	Laurea Triennale in Ingegneria Informatica ed Elettronica
Ott 2008	Università di Perugia – Italia – Voto 101/110
Titolo tesi	Communication between an ADC and a host computer: FPGA implementation through Ethernet interface
Relatore	Prof. Andrea Scorzoni (Dipartimento di Ingegneria)

ESPERIENZA LAVORATIVA

Gen 2021 Electronics Design Engineer - Tecnologo Elettronico

INFN (Istituto Nazionale di Fisica Nucleare) – Sezione di Perugia – Italia

- Progettazione e realizzazione dell'elettronica e del sistema di acquisizione dati per il rivelatore del progetto europeo Penetrating Particle Analyzer (PAN)
- Attività di R&D per rivelatori per applicazioni spaziali, sia per l'elettronica di lettura che del sistema di acquisizione dati

Dic 2020 FPGA Firmware Engineer - Research Fellow

University of Birmingham – Birmingham – United Kingdom

- FPGA designer per il sistema di acquisizione dati di DUNE (FermiLab) con dispositivi Xilinx

Ago 2020 Electronics Design Engineer - Tecnologo Elettronico

INFN – Sezione di Pisa – Italia

- Attività di sviluppo di sistemi elettronici e rivelatori di piano focale per la missione spaziale di polarimetria X IXPE, in collaborazione con NASA e Agenzia Spaziale Italiana
- Realizzazione dell'elettronica di readout del detector GPD basata su FPGA Microsemi
- Test, caratterizzazione, spazializzazione e commissioning delle detector unit

Giu 2017 FPGA Firmware Engineer - Assegno di Ricerca

INFN – Sezione di Pisa – Italia

- Progetto e realizzazione di due sistemi di lettura e acquisizione dati basati su FPGA per il trigger basato su processori grafici GPU dell'esperimento NA62 (CERN)

Giu 2016 Borsa di Studio per Neolaureati

Lug 2015 INFN – Sezione di Perugia – Italia

- Progetto, realizzazione, verifica e commissioning di schede basate su FPGA per trigger e acquisizione dati dei detector CHOD e RICH di NA62
- Integrazione e commissioning schede trasferimento dati per il trigger di livello 0 del detector LKr di NA62

PRINCIPALI ATTIVITÀ SVOLTE

PAN, HERD, FOOT

- Design e realizzazione su FPGA dell'interfaccia verso rivelatori a microstriscia su silicio, usando elettronica di front-end e convertitori analogico-digitali commerciali
- Sviluppo della simulazione SystemVerilog del sistema su FPGA
- Progetto dello schematico e test di schede elettroniche per distribuzione di segnali ausiliari tra il rivelatore MSD di FOOT e il sistema centrale di trigger e acquisizione dati
- Progetto dello schematico di schede elettroniche che ospitano rivelatore, elettronica di front-end e condizionamento del segnale analogico
- Test e caratterizzazione rivelatori a microstriscia su silicio
- Gestione degli ordini con fornitori esterni per la realizzazione di circuiti stampati
- Definizione delle specifiche, progetto e realizzazione di un sistema di acquisizione dati general-purpose basato su System-on-Chip (FPGA e microprocessore) Intel
 - Coordinamento di laureandi triennali e magistrali

IXPE

- Design e realizzazione su FPGA Microsemi di parti del sistema di controllo e readout delle Detector Unit, che operano in ambiente ostile (vuoto, radiazioni ionizzanti)
- Sviluppo della simulazione VHDL della logica FPGA
- Definizione interfacce elettroniche con il resto del satellite
- Gestione del progetto attraverso il U.S. Government Design Review, sia con NASA che con contractor industriali
 - Responsabile per Derating and Part Stress Analysis
- Test per la spazializzazione delle detector unit
 - Definizione, pianificazione e esecuzione test di compatibilità elettromagnetica
 - Supporto per test di termovuoto e vibrazione
- Supporto remoto per installazione e commissioning delle Detector Unit presso NASA
- Progetto e realizzazione di un sistema su PC e FPGA per test di validazione e caratterizzazione della Detector Unit e del rivelatore
 - Partecipazione alle analisi dati preliminari di caratterizzazione del sistema
- Interfaccia con il fornitore industriale OHB-I per lo sviluppo software dell'Electrical Ground Support Equipment (EGSE) di IXPE
- Progetto e realizzazione delle procedure di controllo e acquisizione dati e sviluppo della relativa interfaccia utente per le detector unit nell'EGSE

- Definizione delle specifiche, progetto, selezione e acquisto componenti elettronici per sistema in vuoto di riempimento e test rivelatori GPD
 - Supervisione riempimento GPD presso Oxford Instruments Technologies (Helsinki)
- DUNE • Design e realizzazione su FPGA Xilinx di un sistema di invio dati su fibra per l'emulazione del comportamento dei detector
- Design, simulazione e integrazione dei moduli FPGA per la ricezione del nuovo formato dati di basso livello
- NA62 • Progetto e implementazione su FPGA degli algoritmi di trigger livello 0 per RICH e CHOD
- Design e realizzazione del sistema di sincronizzazione e distribuzione dei segnali di trigger dal sistema GPU al trigger di livello 0
- Analisi, test e caratterizzazione di due modelli di schede elettroniche (TELDES, InterTEL) per il trasferimento dati su cavo ethernet per detector LKr e detector basati su TEL62
 - Design e realizzazione su FPGA di un sistema automatico di test per TELDES e InterTEL
 - Integrazione di TELDES e InterTEL nel trigger di livello 0 di NA62
- Shifter durante periodi di acquisizione dati

COMPETENZE SPECIFICHE

- | | |
|---|---|
| <p>Software
conosciuti</p> | <ul style="list-style-type: none"> • <i>Linguaggi descrizione hardware:</i> VHDL, Verilog, SystemVerilog • <i>Sviluppo FPGA:</i> Intel Quartus Prime, Xilinx Vivado, Siemens Questasim, Microsemi Libero • <i>CAD elettronici:</i> Altium Designer, LTSpice • <i>Controllo di versione e project management:</i> SVN, Git, JIRA • <i>Linguaggi di programmazione:</i> C, Python, Tcl • <i>Strumenti Generici:</i> Suite Office, Linux OS, Windows OS, MacOS, Latex, Graphics software |
| <p>Hardware e
lavoro di
laboratorio</p> | <ul style="list-style-type: none"> • Capacità di individuazione di problemi legati a schede elettroniche e dispositivi, sia commerciali che dedicati • Effettuazione di misure di laboratorio con uso di strumenti di misura base e avanzati |

- Capacità di creare postazioni di test manuali e automatiche per rivelatori e dispositivi generici
 - Ottima capacità di manutenzione e riparazione di dispositivi elettronici
- Presentazioni a conferenze internazionali
- Real Time FPGA Design for the L0 Trigger of the RICH Detector of the NA62 Experiment at CERN SPS, Talk al *Topical Workshop on Electronics for Particle Physics (TWEPP) 2016*
 - The back-end electronics for the imaging x-ray polarimetry explorer telescope, Poster presso *International Society for Optics and Photonics (SPIE) Space Telescopes and Instrumentation 2020*
 - Design and Development of the Back-End Electronics for the IXPE Mission. Poster presso *IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC) 2020*
- Pubblicazioni ed elaborati
- Pubblicazioni su riviste internazionali a riguardo dell'attività svolta e dei risultati ottenuti
 - Produzione di note tecniche e documentazione sui sistemi realizzati
- Seminari, scuole e corsi frequentati
- *ISOTDAQ - International School of Trigger and Data Acquisition*, Gennaio 2020
 - *English for Academic Writing and Presentation Skills*, 2° semestre, 2018/2019
 - *English for Academic Writing and Presentation Skills*, 1° semestre, 2019/2020
 - *Designing FPGAs using the Xilinx Vivado Design Suite*, Luglio 2018
 - *Single Event Upset handling in high-energy physics environments*, Febbraio 2016
 - *Corso professionale su VHDL*, INFN, 2014

RESPONSABILITÀ E COORDINAMENTO

- Responsabilità
- Esperto on-call per RICH, CHOD e TDAQ di NA62
 - Responsabile Derating and Part stress analysis di IXPE
 - Responsabile test di compatibilità elettromagnetica delle detector unit di IXPE
 - Interfaccia con il fornitore esterno OHB-I per lo sviluppo software dell'EGSE di IXPE
- Coordinamento
- Coordinamento di laureandi triennali e magistrali
 - Organizzazione dell'elettronica per acquisizione dati per test su fascio di rivelatori FOOT e PAN

- Gestione di piccoli gruppi di persone che includono accademici, tecnici, e contractor industriali

TRASFERIMENTO DELLA CONOSCENZA

- Seminari tenuti
- FPGA Firmware Development for the NA62 experiment, presso *Dipartimento di Ingegneria dell'Università degli Studi di Perugia*, Dicembre 2015
 - FPGA Development for Physics and Space, presso *Dipartimento di Ingegneria dell'Università degli Studi di Perugia*, Dicembre 2020

ALTRE COMPETENZE

Lingue	Italiano	Lingua Madre
	Inglese	Avanzato (C1+)
	Francese	Base (A2)

- Multi-tasking e time management. Mi adatto velocemente a priorità e requisiti
- Capacità di lavorare in ambienti multiculturali e multidisciplinari
- Manager e direttore artistico dell'evento "In...contriamoci a Mugnano" (2009-2015)
- Capacità di integrarsi velocemente in collaborazioni
- Partecipazione attiva alla vita della sezione dell'ente

Autorizzo il trattamento dei miei dati personali presenti nel CV ai sensi dell'art.13 d. lgs. 30 giugno 2003 n. 196 - "Codice in materia di protezione dei dati personali" e dell'art. 13 GDPR 679/16 - "Regolamento europeo sulla protezione dei dati personali"

Perugia, 09/01/2023

Mattia Barbanera